

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭55-62799

⑤ Int. Cl.³
 H 05 K 3/46
 1/16

識別記号

府内整理番号
 6375-5F
 6370-5F

⑬ 公開 昭和55年(1980)5月12日
 発明の数 1
 審査請求 未請求

(全 3 頁)

④ 厚膜多層基板の製造方法

⑦ 発明者 藤井利宣

東京都品川区大崎2丁目1番17
号株式会社明電舎内

② 特願 昭53-135272

⑧ 出願人 株式会社明電舎

昭53(1978)11月2日

東京都品川区大崎2丁目1番17
号

⑨ 発明者 鈴木貴博

⑩ 代理 人 弁理士 志賀富士弥

東京都品川区大崎2丁目1番17

号株式会社明電舎内

明 異 務

1. 発明の名称

厚膜多層基板の製造方法

2. 特許請求の範囲

(1) 基板に第1電極を印刷した後、その第1電極上に第1絶縁層を印刷し、この第1絶縁層上に軟化点の異なる第2絶縁層を印刷した後、これらを所定時間焼成したことを特徴とする厚膜多層基板の製造方法。

(2) 第1絶縁層に結晶化ガラス、ペーストを、第2絶縁層に非結晶化ガラスペーストを用い前者のペーストの軟化点を前者のペーストの軟化点より低く設定したことを特徴とする特許請求の範囲第1項記載の厚膜多層基板の製造方法。

3. 発明の詳細な説明

この発明は厚膜多層基板の製造方法に関する。

厚膜基板成形回路は、近年集積度が増加する傾向にある。このため、上記回路の製造においては回路の形成が平面だけでなく、さらに多層化されるようになつてきた。特に厚膜成形集積回路では多層化するにはセラミック基板上に第1層の電極あるいは基板体素子を印刷し、この第1層の上に絶縁層をさらに印刷し、この絶縁層の上に第2層の電極あるいは抵抗体素子を印刷した後、焼成して製造する手段が用いられている。上記のような集積回路の製造においては電極あるいは抵抗体素子以外の絶縁層も印刷・焼成によつて形成する手段を用いている。すなわち、2層の厚膜集積回路の電極形成においては最低8回の印刷・焼成工程を行なう必要がある。特に印刷工程にかかる時間

は1回につき数秒であるけれども、焼成工程に要する時間は1時間以上を費す。このため、多層化すると集積回路の製造時間は増大する欠点がある。

次に従来の厚膜焼成集積回路の製造方法を第1図A、B乃至第8図A、Bを用いて述べる。第1図A、Bにおいて、セラミック基板（98モルアルミニナ基板）の上面に第1電極 λ を導体ベースト（AlまたはAl/Pdベースト）で印刷した後、700～1000°Cの温度で1時間焼成する。この焼成後、第1電極 λ の一部に第1絶縁層 β を結晶ガラスベーストで印刷した後、前記焼成温度より低い温度で焼成する。この後、第1絶縁層 β の上に第2絶縁層 γ を結晶化ガラスベーストで印刷する。この第2絶縁層 γ を設けるのは第1絶縁層 β のピンホール δ を埋めるためである。第2絶縁層 γ の上面に

8

特開 昭55-62799(2)
は第2電極 α を前記と同時に導体ベーストで印刷し、前記第2絶縁層 γ とともに焼成する。 α は抵抗体で、この抵抗体 α も印刷した後焼成される。このように従来の製造方法では3回以上も焼成する必要があり、製造には多大な時間を要した。そこで、第1電極 λ 、第1絶縁層 β 、第2絶縁層 γ および第2電極 α をそれぞれ印刷した後、重層を同時に焼成すると、第1・第2絶縁層 β 、 γ は同一成分なので、焼成中に1つの層になつてしまふ。この結果、第2図A、Bに示すように第1電極 λ のベーストと第1絶縁層 β のベーストとの組み合せによって絶縁層 γ にはピンホール δ が発生したり、また第1電極 λ と絶縁層 β の間に基板ノヤベーストとの膨張率の差によりクラック ϵ が発生したりする。さらに絶縁層 β と第2電極 α との間は

4

第8図Aに示すように剥離されたりする欠点がある。この他、電極 λ に使用されるAl/PdベーストではPd（パラジウム）よりO₂が放出されポイド δ が出来やすくなる欠点がある。

この発明は上記の欠点を除去し、焼成時間の短縮を図るとともにクラック等の発生を防止することができる厚膜多層基板の製造方法を提供することを目的とする。

以下四圖を参照してこの発明の一実施例を説明する。

第1図および第5図A、Bにおいて、セラミック基板（98モルアルミニナ基板）上面に第1電極 λ を印刷し、この第1電極 λ の上に第1絶縁層 β を印刷する。この第1絶縁層 β はホウ素B₂、ケイソウSi、カドミウムCdの酸化物よりなる非晶化ガラスベーストで、このベーストは前記ベーストより軟化点が100°Cで、 $\alpha = 6.8 \times 10^{-6}/^{\circ}\text{C}$ のものである。前記第1絶縁層 β が印刷された後、第2電極 α を印刷し、約850°Cで60分間焼成する。

この焼成時、第1・第2絶縁層 β 、 γ のベーストの軟化点が異なるため、第1絶縁層 β に第5図A、Bに示すピンホール δ やクラック ϵ が発生しても、第2絶縁層 γ がビレボール η やクラック ϵ の個所に詰け込んで埋込まれる。これは両絶縁層 β 、 γ は同質構成の材質で形成されているため、両者は

5

6

をじみよくピンホール¹⁶やクラック¹⁷を確実に堵める。しかし軟化点の差および焼成条件を適当に選べば両者は相戻混合することはない。このような作用のために、第1・第2電極¹²・¹³の上の絶縁層は充分に保たれる。¹⁸は抵抗体である。

上記のようにして製造された厚膜多層基板を直流電圧500V印加で85°Cの高温中で試験をした結果、約6000時間無事故であつた。これは100V 60°Cで20年の耐久性があることに相当する。また初期絶縁抵抗¹⁰および耐電圧(V_{BD})Vを従来例のものと比較すると表のようになる。

	$\mu\Omega$	V_{BD} (V)
従来例	1×10^4	1000以上
この発明の実例	0.8×10^4	1000以上

以上述べたようにこの発明によれば、第1・第2

7

特開昭55-62799(3)
電極および絶縁層を1度の焼成により厚膜多層基板を製造するようにしたので、簡めて短時間で基板動作が可能であるとともに、絶縁層を軟化点の異なる材質のものを用いたのでクラック等の発生を防止することができる等の利点がある。

4. 四面の簡単な説明

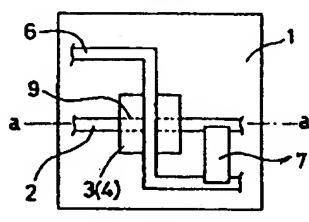
第1図A・B乃至第8図A・Bは従来例に示すもので、第1図Aは平面凹、第1・Bは第1図Aの¹～⁴断面凹、第2図A・Bおよび第8図A・Bは従来例の異なる例を説明するための枝部抽出断面凹、第4図はこの発明の一実施例を示す平面凹、第5図A・Bは第4図の枝部の断面凹である。

11—セラミック基板、12—第1電極、13—第1絶縁層、14—第2絶縁層、15—第2電極。

代理人 志賀 勝士郎

8

第1図
(A)



(B)



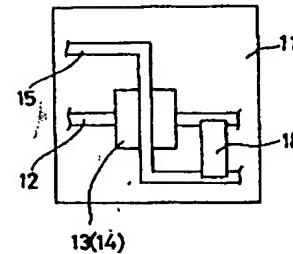
第2図
(A)



第3図
(A)

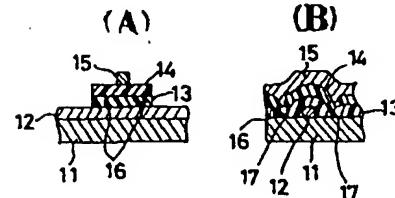


第4図



13(14)

第5図



(B)

